

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-175491

(43)Date of publication of application : 02.07.1999

(51)Int.Cl.

G06F 15/163

(21)Application number : 10-241606

(71)Applicant : INTERNATL BUSINESS MACH
CORP <IBM>

(22)Date of filing : 27.08.1998

(72)Inventor : ANDREWS LAWRENCE P
BECKMAN RICHARD CLYDE
ENG ROBERT CHIH-TSIN
LINGER JUDITH MARIE
PETTY JOSEPH C JR
SINIBALDI JOHN CLAUDE
TURBEVILLE GARY L
WILLIAMS KEVIN BRADLEY

(30)Priority

Priority number : 97 944209

Priority date : 06.10.1997

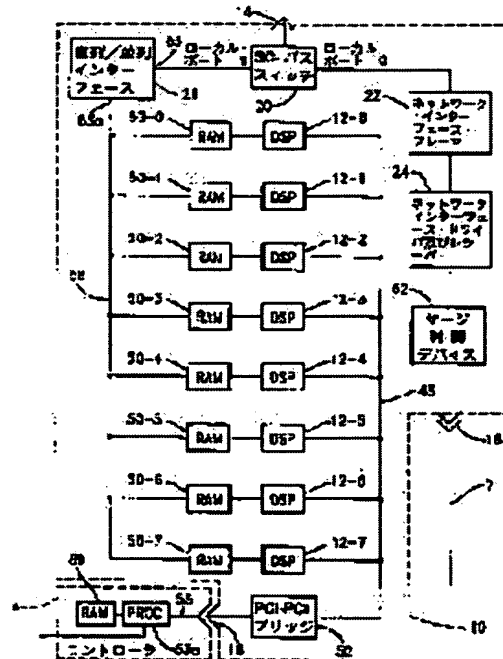
Priority country : US

(54) MULTI-BUS MULTIPLEX COMMUNICATION ADAPTOR FOR DSP BASE

(57)Abstract:

PROBLEM TO BE SOLVED: To distribute the operation that processes transmission data of a primary speed by making a host processor read information from 2nd data memory when an interrupt is received.

SOLUTION: Although 16-bits in a HBRIDGE interrupt register are usually used to represent different types of services up to sixteen, a digital signal processor(DSP) 12 sends a control block of data that represents an interrupt to be requested to a prescribed area in data memory of a controller card 4 by direct memory access process. Therefore, DSP subsystems 12 set a certain bit to send an interrupt through PCI buses 48 and 53. When the interrupt is received through an interrupt A line, a controller processor 53a decides that a DSP subsystem 12-0 requested the interrupt, and when the interrupt is received through an interrupt B line, it decides that one of DSPs 12-1 to 12-7 requested it.



LEGAL STATUS

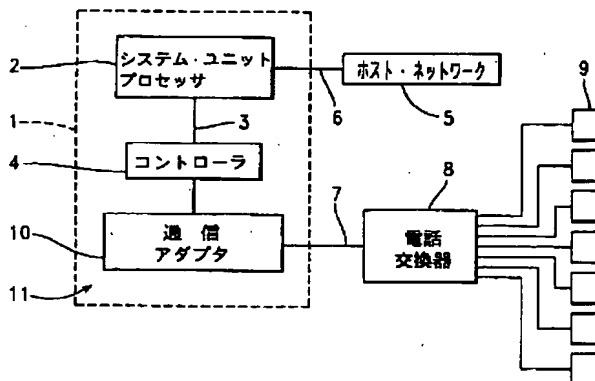
[Date of request for examination]

22.07.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

(11)特許出願公開番号



【 特許請求の範囲】

【請求項1】第1データ・メモリをアクセスするデジタル信号プロセッサ・サブシステムから第2データ・メモリをアクセスするホスト・プロセッサに割込情報を転送するための方法にして、前記デジタル信号プロセッサ・サブシステムは割込線及び複数のデータ線によって前記ホスト・プロセッサに接続されていることを含む方法において、

(a) 前記データ線を通して前記デジタル信号プロセッサ・サブシステムから前記第2データ・メモリにおける所定のエリアに前記割込情報を制御ブロックとして転送するステップと、

(b) 前記デジタル信号プロセッサ・サブシステムから前記割込線を通して前記ホスト・プロセッサに割込を送るステップと、

(c) 前記割込の受信時に、前記ホスト・プロセッサによって前記第2データ・メモリにおける前記所定のエリアから情報を読み取るステップと、を含む方法。

【請求項2】前記デジタル信号プロセッサ・サブシステムはダイレクト・メモリ・アクセスによって前記割込情報を前記第2データ・メモリに送ることを特徴とする請求項1に記載の方法。

【請求項3】前記ステップ(a)は複数の割込ブロックを累積するステップによって先行され、前記制御ブロックが前記複数の割込ブロックを含む場合、前記複数の割込ブロックにおける各割込ブロックが個々の割込リクエストを表すことを含む請求項1に記載の方法。

【請求項4】前記制御ブロックは前記デジタル信号プロセッサ・サブシステムから前記第2データ・メモリへ以前に送信された割込情報の制御ブロックに対する前記ホスト・プロセッサからの肯定応答の受信時に伝送されることを特徴とする請求項3に記載の方法。

【請求項5】前記制御ブロックは、以前に送信された割込情報の制御ブロックを前記デジタル信号プロセッサ・サブシステムから前記第2データ・メモリに送信した後に所定最大数の割込ブロックを累積した時、更に送信されることを特徴とする請求項4に記載の方法。

【請求項6】前記制御ブロックは、以前に送信された割込情報の制御ブロックを前記デジタル信号プロセッサ・サブシステムから前記第2データ・メモリに送信した後の経過時間が所定の値に達した時、更に送信されることを特徴とする請求項4に記載の方法。

【請求項7】前記制御ブロックは、以前に送信された割込情報の制御ブロックを前記デジタル信号プロセッサ・サブシステムから前記第2データ・メモリに送信した後に生じた第1割込リクエストに続く経過時間が所定のレベルに達した時、更に送信されることを特徴とする請求項4に記載の方法。

【請求項8】前記制御ブロックは、以前に送信された割込情報の制御ブロックを前記デジタル信号プロセッサ

・サブシステムから前記第2データ・メモリに送信した後に所定最大数の割込ブロックを累積した時、更に送信されることを特徴とする請求項3に記載の方法。

【請求項9】前記制御ブロックは、以前に送信された割込情報の制御ブロックを前記デジタル信号プロセッサ・サブシステムから前記第2データ・メモリに送信した後の経過時間が所定の値に達した時、更に送信されることを特徴とする請求項3に記載の方法。

【請求項10】前記制御ブロックは、以前に送信された割込情報の制御ブロックを前記デジタル信号プロセッサ・サブシステムから前記第2データ・メモリに送信した後に生じた第1割込リクエストに続く経過時間が所定のレベルに達した時、更に送信されることを特徴とする請求項3に記載の方法。

【請求項11】電話ネットワーク回線に接続するためのネットワーク・インターフェース手段と、複数の信号を結合して前記電話ネットワーク回線を通して送信するための時分割マルチプレキシング手段と、前記電話ネットワーク回線から受信した複数の信号を分離する時分割デマルチプレキシング手段と、前記時分割マルチプレキシング手段及び前記時分割デマルチプレキシング手段に接続された複数のデジタル信号プロセッサと、前記複数のデジタル信号プロセッサ及び前記時分割デマルチプレキシング手段からのデータを送信し、前記時分割マルチプレキシング手段及び前記複数のデジタル信号プロセッサに送るためのデータを受信するためのバス・インターフェースと、を含む装置。

【請求項12】ホスト・プロセッサと、前記ホスト・プロセッサによってアクセス可能なホスト・データ・メモリと、複数のデジタル信号プロセッサのうちの1つのデジタル信号プロセッサと前記ホスト・プロセッサとの間に延びるデータ・バスと、前記デジタル信号プロセッサと前記ホスト・プロセッサとの間に延びる割込線と、を更に含み、

前記デジタル信号プロセッサは前記データ・バスを通して前記ホスト・データ・メモリに割込情報を含む割込制御ブロックを送ること及び前記割込線を通して割込を送ることによって前記ホスト・プロセッサに割込を行うことを特徴とする請求項11に記載の装置。

【請求項13】前記割込制御ブロックは各々が割込リクエストを記述した複数の割込ブロックを含むことを特徴とする請求項12に記載の装置。

【請求項14】各々が電話ネットワーク回線に接続するためのネットワーク・インターフェース手段と、複数の信号を結合して前記電話ネットワーク回線を通して送信するための時分割マルチプレキシング手段と、前記電話

3

ネットワーク回線から受信した複数の信号を分離する時分割デマルチプレキシング手段と、前記時分割デマルチプレキシング手段及び前記時分割デマルチプレキシング手段に接続された複数のデジタル信号プロセッサとを含む第1及び第2通信アダプタ、及び前記第1及び第2通信アダプタの間に延び、前記第1通信アダプタの前記複数のデジタル信号プロセッサを前記第2通信アダプタの前記時分割デマルチプレキシング手段及び時分割デマルチプレキシング手段に接続し、前記第2通信アダプタの前記複数のデジタル信号プロセッサを前記第1通信アダプタの前記時分割デマルチプレキシング手段及び時分割デマルチプレキシング手段に接続する第1バスを含む装置。

【請求項15】前記第1バスは前記第1及び第2通信アダプタを他の通信アダプタに接続するように更に延長されることを特徴とする請求項14に記載の装置。

【請求項16】前記第1通信アダプタに接続されたホスト・プロセッサと、
前記ホスト・プロセッサによってアクセス可能なホスト・データ・メモリと、

前記第1通信アダプタの複数のデジタル信号プロセッサのうちの1つのデジタル信号プロセッサと前記ホスト・プロセッサとの間に延びるデータ・バスと、
前記デジタル信号プロセッサと前記ホスト・プロセッサとの間に延びる割込線と、
を更に含み、

前記デジタル信号プロセッサは前記データ・バスを通して前記ホスト・データ・メモリに割込情報を含む割込制御ブロックを送ること及び前記割込線を通して割込を送ることによって前記ホスト・プロセッサに割込を行うことを特徴とする請求項14に記載の装置。

【請求項17】前記割込制御ブロックは各々が割込リクエストを記述した複数の割込ブロックを含むことを特徴とする請求項16に記載の装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は時分割多重通信アダプタに関するものであり、更に詳しく云えば、複数のデジタル信号プロセッサを含み、そのようなアダプタの相互接続されたグループのメンバとして使用されるアダプタに関するものである。

【0002】

【従来の技術】1つ又は複数のネットワーク回線における多数のチャンネルを処理する能力を持った通常のDSP（デジタル信号プロセッサ）ベースの通信システムは、1つ又は複数の外部回線が接続される回線カード及びその回線カードにプロセッサ資源を付加するために使用可能な1つ又は複数のDSPカードを有する。しかし、ネットワーク回線は種々の数の情報チャンネルを保持することができるので、しかも情報ネットワークは成長

4

し、或いは数多くの方法で変化するものと期待することができるので、この方法による問題点はそれが融通性に欠けていることである。このタイプのシステムのユーザは、自身の回線カードの数を増大させることなく、自身のシステムに接続可能な回線の数を自身の処理能力に適合するように変えることができない。

【0003】必要なものは、回線アダプタ機能及びDSP資源の両方を有する通信カードである。そのようなカードは第2の通信カードと容易に接続可能であり、第2の通信カードに接続されたネットワーク回線にとって利用可能なDSP資源を増加させるものである。

【0004】必要なものは、割込によってホスト・コントローラ・カードのプロセッサのような外部プロセッサ又はシステム・ユニット・プロセッサとコミュニケーションする通信カードである。通信アダプタは複数のDSPを持つものでよい。プロセッサ・オペレーションが持つ実時間的な性質のために、割込を処理するオーバーヘッドは深刻な負担となることがある。単一のホスト・コントローラ、又はプロセッサが通信カードにおいて多くのDSPに接続される時、ホスト・プロセッサにとって大きなオーバーヘッド問題は、コンテキスト・スイッチングの必要性及び各割込に対してすべてのレジスタを保管及びリストアする必要性によるものである。この負担を伴う問題点は、ホスト・プロセッサが保管されるべき数多くのレジスタを有するRISC構成である時、特に重要である。

【0005】必要なものは、単一のDSPからホスト・プロセッサへの複数の割込を、それらが一緒に処理されるようにバンドルするための方法である。

【0006】米国特許第4,991,169号は、デジタル・キャリア・システム（例えば、T-1）の複数の時分割チャンネルとホスト・データ・プロセッサとの間に実時間リンクを設けるためのデュアル・デジタル信号プロセッサ（DSP）の使用を開示している。DSPは、内部的には及びキャリア及びホスト・システムに対するそのインターフェースにおいてはデジタル信号のみに関して動作して、データ及び制御信号情報をキャリア・システムと交換し、データ及び制御情報をホスト・プロセッサと交換し、搬送中のデータを種々のデジタル形式に変換する。キャリア・システムに対するインターフェースでは、信号は、公衆交換網を介してそのキャリア・システムに遠隔的にリンクされたユーザの多様な端末機器に適応した形式で受信及び送信される。ホスト・インターフェースでは、信号は、ホスト・システムのデータ処理要件に適した形式（例えば、データ・バイトは英数字文字を直接に表す）で送信及び受信される。DSPは、必要な変換を行う場合に複数の異なるタイプのモデムの等価物として作用する。DSPは、ホスト・システムにおける処理負担（例えば、データのパリティ・チェック、データにおける特定な文字又は音声信

号における特定のトーンの検出、及びボイス・メール・アプリケーションのためのホスト記憶装置に対する音声の選択的なミュート（ミュート）を減少させるために処理サービスも行うことがある。

【0007】米国特許第5,553,293号は、マルチプロセッサ・システムにおけるリモート・プロセッサとホスト・プロセッサとの間の割込を処理するためのプロセッサ間割込ユニット（IIU）を開示している。IIUは、リモート・プロセッサのオペレーティング・カーネルからの割込の処理に関与するタスクをオフロードする。割込情報の制御ブロック及びコマンドは、リモート・プロセッサによってデータ・ランダム・アクセス・メモリ（DRAM）に記憶される。リモート・プロセッサは、DRAMから制御ブロックを検索すべくアクセスするために、DRAMにおける制御ブロック・メモリ・アドレスのバッファをパックする。IIUは制御ブロックを受け取り、その制御ブロックをレジスタにロードする。しかる後、IIUはホスト・プロセッサに対して割込リクエストを発生する。ホスト・プロセッサはその割込リクエストを受け取り、割込が処理されたことをIIUに表示する。そこで、IIUは、割込が処理されたことをリモート・プロセッサに知らせる。IIUは、割込によって又はDRAMにおけるステータス・フラグをセットすることによってリモート・プロセッサに終了を通知するようにプログラム可能である。

【0008】米国特許第5,572,695号は、それぞれ第1及び第2デジタル・プロセッサに及びデータ記憶ユニットに結合された第1及び第2論理メモリ・マッピング・ユニットを含むデジタル信号処理システムを開示している。第1及び第2マッピング・ユニットは、それぞれ（1）第1及び第2デジタル・プロセッサによって発生された第1及び第2論理アドレス、及び（2）第1及び第2アドレス・マッピング情報を受けるように、及びデジタル・プロセッサの各々がデータ記憶ユニットにおける複数のメモリ・ロケーションのどれでも独立してアクセスすべく第1及び第2物理アドレスを発生するように動作する。

【0009】

【発明が解決しようとする課題】本発明の目的は、一次速度で伝送されるデータを処理する作業が2つ又はそれ以上のDSPに容易に分散されるように、複数のカード上に存在するそれらDSPがPCI及びTDMバスを介してコミュニケーションするというアダプタを提供することにある。

【0010】本発明のもう1つの目的は、同様のアダプタ又は回線カードのようなオン・カード一次インターフェース又はオフ・カード・ソースからのデータに対するTDM（時分割マルチプレキシング）インターフェースを提供することにある。

【0011】本発明のもう1つの目的は、チャネル化さ

れたTDMトラフィックが、MIP（処理速度）及びメモリ要件に応答して利用可能なDSPに方向転換することを可能にすることにある。

【0012】本発明のもう1つの目的は、複数の一次インターフェースへのアクセスを行うTDMインターフェースを提供することにある。

【0013】本発明のもう1つの目的は、ホスト・コントローラ・カード及びDSPの間並びにDSP相互間のコミュニケーションを提供することにある。

【0014】本発明のもう1つの目的は、割込処理がシステムの要求に従って任意選択的にバンドル可能なシステムを提供することにある。

【0015】本発明のもう1つの目的は、割込がDSPとホスト・コントローラとの間、並びにシステム・ユニット・プロセッサとの間を通ることを可能にする、ホスト・コントローラ及びシステム・ユニット・プロセッサの両方によるPCI（周辺機器コンポーネント相互接続）バスの使用を提供することにある。

【0016】

【課題を解決するための手段】本発明の一局面によれば、第1データ・メモリをアクセスするデジタル信号プロセッサ・サブシステムから、第2データ・メモリをアクセスするホスト・プロセッサに割込情報を転送するための方法が提供される。この場合、デジタル信号プロセッサ・サブシステムは1つの割込線及び複数のデータ線によってホスト・プロセッサに接続される。この方法は、（a）データ線を通してデジタル信号プロセッサ・サブシステムから第2データ・メモリにおける所定のエリアに割込情報を制御ブロックとして転送するステップ、（b）デジタル信号プロセッサ・サブシステムから割込線を通してホスト・プロセッサに割込を送るステップと、（c）割込の受信時に、ホスト・プロセッサによって第2データ・メモリにおける所定のエリアから情報を読み取るステップと、を含む。

【0017】

【発明の実施の形態】図1は、本発明に従って形成された通信アダプタを使用するISDNサーバ・アプリケーションの概略図である。このアプリケーションでは、コンピュータ・システム1は、コントローラ4に延びるPCI（周辺機器コンポーネント相互接続）バス3を持ったシステム・ユニット・プロセッサ2を含む。データは、データベース・サービス・ネットワークのようなホスト・ネットワーク5とコンピュータ・システム1との間でLAN（ローカル・エリア・ネットワーク）6を介して転送される。コンピュータ・システム1にはISDNネットワーク回線7が接続される。そのISDNネットワーク回線は公衆交換電話ネットワークを介して交換器8に延びている。ISDNネットワーク回線7は、例えば、米国におけるT1回線又はヨーロッパにおけるE1回線である。交換器8では、ISDNネットワーク回

7

線7からの信号が、電話機、コンピュータ装置、又はそれらの結合であってもよい複数の装置9に分けられる。
 【0018】コンピュータ・システム1では、ISDN回線7が通信アダプタ・カード10に接続される。通信アダプタ・カード10がコントローラ・カード4にプラグ・インされた単一のカード対より成る単一のISDNサブシステム11が、PCIバスを有するパーソナル・コンピュータのためのISDN一次速度インターフェースにおけるモデム又は他のTDM音声関連の機能を提供する。そのような単一のカード対のサブシステム11は、リモート・デジタル・デバイスとコミュニケーションする時、64Kbps（キロビット／秒）のISDN Bチャネルの全対域幅を利用して30個のISDN Bチャネルを処理することができる。別の方法として、単一のカード対のサブシステム11は、リモート・アナログ・モデムとコミュニケーションする時、56Kbpsまでのデータ速度におけるリモート・アナログ・モデムに対する15個の接続に備えることができる。この方法で接続可能なチャネルの実際の数はいくつかの点と異なることがあり、それは公衆交換電話網の特性及び制限事項、並びにISDNサブシステム11の容量に依存する。コンピュータ・システム1は、例えば、各々がISDNネットワーク7を介して別のISDNネットワークに接続される複数のISDNサブシステム11に接続されるPCIバスを持ったIBM7558工業用コンピュータであってもよい。アダプタ・カード10は、データ信号、音声合成又は音声認識を必要とする音声信号、又はテレビ会議アプリケーションにおけるビデオ信号を処理するために使用されてもよい。

【0019】図2は、本発明に従って形成された通信アダプタ・カード10の概略図である。このカード10は、SCバス・コネクタ14、ISDN回線7（図1に示される）が接続されるE1/T1インターフェース・コネクタ16、及びその通信カード10がコントローラ・カード4（図1に示される）にデータカードとして接続されるPMC（PCIメザニン・カード）PCIコネクタ18を介したバス接続を備えると共に、8個のデジタル信号プロセッサ（DSP）サブシステム12-0乃至12-7を有する。他の主要なコンポーネントは、SCSA（信号コンピューティング・システム・アーキテクチャ）要件に従って構成され、SCバス・コネクタ14を介してSCバス・インターフェースをサポートするSCバス・スイッチ20、直列／並列インターフェース21、並びにフレーム・アライナ22及びドライバ・レシーバ24を含むネットワーク・インターフェースである。

【0020】図3は、本発明に従って形成された通信構成の概略図である。ここでは、4個の図2における通信アダプタ・カード10が4個の関連のコントローラ・カード4に個々に接続される。この構成は2つのISDN

8

モデム・インターフェース36をサポートする。コントローラ・カード4は、例えば、IBM PCI-960ベース・コントローラである。各コントローラ・カード4は、コネクタ40を介して設けられたPCIバス38をサポートするパーソナル・コンピュータのカード・スロットに適合する。PCIバスの接続は、各コントローラ・カード4及びその関連した通信アダプタ・カード10の間でPMC PCIコネクタ18を介しても行われる。通信アダプタ・カード10は、カード10、4の上のリボン・ケーブルを通して延び、SCバス・コネクタ14を介して接続されるSCバス42によって相互接続される。図3の例では、2つのISDNサブシステムが60個のISDN Bチャネル、30個のリモート・アナログ・モデムへの接続、又はそれらの種々の組合せを処理するようにリンクされる。図2には、ISDNサブシステムの2つのそのようなリンクされた対が示される。それらの各々はE1又はT1回線7への単一の接続を有する。

【0021】図2及び図3を参照すると、各通信アダプタ・カード10上の8個のDSPサブシステム12は、ISDNインターフェース36における15個のISDN Bチャネルの各々に対して300bps（ビット／秒）から56Kbpsまでのモデム機能を与える。従って、30個のISDN Bチャネルに対して、2つのカード対のサブシステム11が必要である。各DSPサブシステム12は、2つのアナログ・モデム・チャンネルにモデム・データ・ポンピング及びプロトコル処理機能を与え、4個までのISDNデジタル・チャンネルにデータ及び音声処理機能を与える。カード10上の8個のDSPサブシステム12はすべて、それらの割り当てられたタイム・スロットにおいてそれらのデータを除去及び挿入する共通のTDMポートを共用する。

【0022】従って、図3の構成では、単一のISDNネットワーク回線36を接続するためには、図1の構成におけるカード対のサブシステムの2倍の数のカード対のサブシステム11が必要である。しかし、図3の構成では、各ISDNネットワーク回線36にとっては、図1の回線7にとって利用可能な処理資源の2倍の処理資源が利用可能である。この付加的な処理能力は、更なるリモート・デバイス又は端末をサービスするために、或いは各チャンネルにとって更に複雑なアルゴリズムを処理するために使用可能である。接続可能な装置の実際の数もまた、電話網の容量及びサブシステム11の容量に依存する。

【0023】図4は、図2の通信アダプタ・カード10の、特に、データ・フローの経路を示す機能的ブロック図である。各DSPサブシステム12はそのカード10を通して延びるPCIバス48に、及び対応するDSPサブシステム12に対する送信／受信バッファとして設けられた2ポート・データRAM50に接続される。各

10

20

30

40

50

2ポート・データRAM50は、Cypress CY7C131 メモリ・モジュールのような1K×8高速スタティックRAMデバイスである。PCIバス48は、PCI-PCIブリッジ回路52を通してバス53に接続される。バス53は、PCI-PCIコネクタ18を通してコントローラ・カード4に延びている。PCIバス48は、33Mhzで動作する同期32ビットI/Oインターフェースである。PCIローカル・バス・アーキテクチャによって定義される割込A及びBが割込線Aに接続されたDSPサブシステム12-0によって使用され、一方、DSPサブシステム12-1乃至12-7は割込線Bと一緒に結合される。これらのDSPサブシステム12及びコントローラ・カード4の間のすべての割込機能がコントローラ・カード4のプロセッサ53aによって制御される。そのプロセッサ53aは、例えば、Intel 80960プロセッサである。

【0024】PCI-PCIブリッジ回路52はPCIバス48をPCIバス53から電氣的に絶縁し、8個のDSPサブシステム12がバスマスタ・サービスをリクエストする時にそれらのDSPサブシステムのためのアービトラージを行う。このブリッジ回路52は、それぞれ、例えば、9個までのデバイスを処理できるDEC21150PCI-PCIブリッジ・チップであってもよい。ブリッジ回路52は、標準のブリッジ構成レジスタ及びデバイス特有の構成レジスタに分けられるメモリ・スペースを含む。PCIバス相互間の標準的な実施方法には必要とされないデバイス特有のレジスタは、このアプリケーションのためにはプログラムされない。標準の構成レジスタは、コントローラ・カード・プロセッサ53aのカーネルによって制御される。

【0025】2ポート・データRAMデバイス50は、直列/並列TDMインターフェース・チップ21に8ビット・データ・チャネル58を通して個々に接続される。インターフェース・チップ21は、例えば、Mitel MT8920Bインターフェース・チップであってもよい。一方、このインターフェース・チップ21はSC-バス・スイッチ20のローカル・ポート1に接続される。SC-バス・スイッチ20は、例えば、VLSI SC4000インターフェース・チップであってもよい。一方、このバス・スイッチ20はSC-バス・コネクタ14に接続される。

【0026】E1又はT1回線7は、ネットワーク・インターフェース・コネクタ16を介して通信アダプタ・カード10に接続される。このコネクタ16からの回線は、サージ制御デバイス62、ネットワーク・インターフェース・ドライバ及びレシーバ24、及びネットワーク・インターフェース・フレーム22を含むネットワーク・インターフェースを介して経路指定される。ネットワーク・インターフェース・ドライバ及びレシーバ24は、例えば、Siemens PRACT(一次速度ア

クセス・クロック及びトランシーバ)PEB22320チップである。ネットワーク・インターフェース・フレーム22は、Siemens ACFA(拡張CMOSフレーム・アライナ)PEB2035チップである。ネットワーク・インターフェース・ドライバ及びレシーバ24は、ネットワーク・フレーム22、直列/並列インターフェース21、及びSC-バス・スイッチ20のようなTDMハードウェア・モジュールすべてに対する一次クロック・インターフェースを発生する。

【0027】ネットワーク・インターフェース・ドライバ及びレシーバ24及びネットワーク・インターフェース・フレーム22は、図5に関して説明するようにDSPサブシステム12-0によって制御される。ネットワーク・インターフェース回路22、24、62は、受信及び送信回路のための変圧器、終端抵抗器、及びダイオード・クランプを含む。プログラミングの変更はE1又はT1回線への接続が必要とする交番モードで通信アダプタ10を動作させることができるけれども、ネットワーク・インピーダンス整合抵抗のハードウェア構成における変更はこれらのモード相互間でも必要である。ネットワーク・インターフェース回路60からの直列送信及び受信回線はSC-バス・スイッチ20のローカル・ポート0に接続される。

【0028】通信アダプタ・カード10は、26ピン・コネクタ14に沿ったその上端におけるSCSA(信号コンピューティング・システムズ・アーキテクチャ)インターフェースをサポートする。このインターフェースは、必要なクロッキング信号すべて及びカード・ツー・カード通信のための16個の直列データ信号を供給する。このインターフェースは、8個の全二重T1又はE1ネットワーク回線の容量を有する。更に、タイム・スロット数/秒は32乃至64にプログラム可能である。望ましくは、このパラメータは32タイムスロット/秒にプログラムされる。

【0029】SC-バス・スイッチ20は4つのローカル直列ポート接続をサポートし、それらのうちのローカル・ポート0及びローカル・ポート1が使用される。宛先経路指定メモリがそれらのローカル・ポートからSC-バス42(図3に示される)へのデータ移動を制御し、一方、ソース経路指定メモリがSC-バス42からそれらのローカル・ポートへのデータ移動を制御することによって、スイッチング機能が2つのRAMメモリを通して実施される。タイムスロット番号は経路指定メモリに対するアドレスとして働き、一方、経路指定メモリに記憶されたデータはそのスイッチされたタイムスロット番号になる。実際のタイムスロット直列データがフレーム・バッファにロードされ、宛先及びソース経路指定メモリによって制御されるマルチプレキシング回路を通して経路指定される。SC-バス・スイッチ20を通して何れかの方向に移動するデータに対して1フレームの

遅延が存在する。

【0030】SC-バス・スイッチ20は、ネットワーク伝送回線7から受け取った着信データ・ストリームに同期した基準信号をネットワーク・インターフェース・ドライバ及びレシーバ24から受けるすべてのTDMクロック機能に対するメイン・クロック・ソースである。これらの基準クロックから、SC-バス・スイッチ20は、すべてのメインSC-バス・クロック及びすべてのローカル・ポート・クロックを発生する。ローカル・ポートは、ネットワーク・インターフェース・フレーム22及び直列／並列インターフェース21に供給される4.096Mhzビット・クロック及び8Khzフレーム同期クロックを有する。例えば、図3に示されるように、複数の通信アダプタ・カード10がSC-バス42によって接続される時、カード10の1つのSC-バス・スイッチ20がマスタ・クロック・ソースになるようにプログラムされ、一方、他のカード10におけるSC-バス・スイッチ20がスレーブとして動作するようにプログラムされる。この方法では、すべてのカード10におけるTDMデータ・パスが単一のネットワーク・ケーブルに同期化される。この単一のクロック・ソースが障害を生じる場合、SC-バス・スイッチ20は、代替のマスタ・クロック・ソースのような他のスイッチ20に切り替わってソフト回復モードのオペレーションをサポートする能力を有する。

【0031】直列／並列インターフェース・チップ21は、SC-バス・スイッチ20のローカル・ポート1と8個の2ポート1K×8RAMバッファ50の各々との間の接続を行う。直列／並列インターフェース・チップ21とSC-バス・スイッチ20との間の直列送信及び受信データは、2.048Mビット／フレーム及び8000フレーム／秒のE1回線速度でクロックされる。データは、1つのバッファ50に及び他のバッファ50から全二重モードでシフトされる。直列／並列インターフェース・チップ21における別々の送信及び受信2ポートRAMバッファ（図示されていない）の各々が別の直列ポート63に接続され、一方、これらの両方のバッファにおける他方のポートが共通の並列ポート63aに接続される。1バイトの送信データが、それがこのスイッチ20の直列ポート63からシフト・アウトされる前の1チャンネル・タイムに送信バッファRAMから読み取られる。1バイトの受信データが、それが直列ポート63からシフト・インされた後の1チャンネル・タイムに受信バッファRAMに書き込まれる。直列／並列インターフェース・チップ21とRAMバッファ50との間に延びる並列バス58は8ビット・データ・バス、5ビット・アドレス・バス、書込みイネーブル・パルス、及び読取りイネーブル・パルスを与える。このインターフェースは、直列／並列インターフェース・チップ21からの直列インターフェースが4ビットをシフト・イン又はシフ

ト・アウトしようとする時、8個のRAMバッファ50の直接接続が1バイトの並列データを読み取るように及び1バイトの並列データを書き込むようにタイミング制御されることを可能にする。

【0032】並列インターフェース・ポート63aは、各フレームに対する32個のチャンネルすべての受信データを8個の2ポートRAMバッファ50すべてに同時に書き込む。この方法では、8個すべてのDSPサブシステム12がすべての受信されたデータへのアクセスを有する。一方、並列送信データは、単一の2ポートRAMバッファ50の送信部分から並列インターフェース・ポート63aに一時に読み込まれる。

【0033】送信バッファ及び受信バッファ（図示されていない）に分けられた各2ポート・スタティックRAMバッファ50は、送信又は受信されるべき8個の連続したデータ・フレームを記憶する。各フレームに対する32個のチャンネルすべてが送信及び受信バッファの両方に対して割り当てられる。各DSPサブシステム12は256バイトの受信バッファ・データ及び256バイトの送信バッファ・データをアクセスすることができる。直列／並列インターフェース・チップ21は常にこれらのバッファの各々に対する専用のポートを必要とする。DSPサブシステム12-0と関連した回路において、3ビット・フレーム・カウンタ機能が実施される。それに関しては、図5に関連して説明することにする。これらの3ビットは、直列／並列インターフェース・チップ21からバス58を通して駆動される5つのアドレス・ビットと共に、RAMバッファ50における送信バッファ及び受信バッファの間で行われるべき選択に供される。直列／並列インターフェース・チップ21は、RAMバッファ50における送信バッファからしか読み取ることができず、それにおける受信バッファにしか書き込むことができない。8個の受信バッファすべてが同時に書き込まれるが、一時に1つの送信バッファしか読み取られない。

【0034】各2ポートRAMバッファ50の他の反対側のポートは関連のDSPサブシステム12に専用であり、それは、RAMバッファ50における送信バッファにしか書き込むことができず、それにおける受信バッファからしか読み取ることができない。

【0035】従って、図3及び図4を参照すると、送信回線7から受信されたデータはネットワーク・インターフェース・コネクタ16からネットワーク・インターフェース・デバイス24、22を介してSC-バス・スイッチ20のローカル・ポート0に直列データとして移動し、このスイッチ20のローカル・ポート1から直列／並列インターフェース・チップ21に出力される。そのインターフェース・チップ21において、それは並列フォーマットに変換され、そのフォーマットで、RAMバッファ50へ搬送される。そこで、これらのバッファ50

0からのデータは関連のDSPサブシステム12を介して内部PCIバス48に、そしてPCIバス53を介してコントローラ4に流れる。別の方法として、SCバス・スイッチ20におけるローカル・ポート0を介して受信されたデータは、コネクタ14及びSCバス42を介して送信されるようにスイッチされ、コンピュータ・システムにおける他の通信コントローラ10を通して処理される。

【0036】送信回線7を通して送信されるべきデータは、PCIバス53を介して通信アダプタ10に流れ、及びPCIバス48を介してDSPサブシステム12に流れる。そこで、このデータは関連のRAMバッファ50に書き込まれ、そこから並列フォーマットで、8ビット・データ・バス58を通して直列／並列インターフェース21に送られる。このインターフェース21において、そのデータは直列フォーマットに変換され、SCバス・スイッチ20を介してネットワーク・インターフェース・デバイス22、24に向けられる。そこで、このデータはインターフェース・コネクタ16を介してネットワーク回線7へ駆動される。別の方法として、SCバス・スイッチ20は、直列／並列インターフェース21からローカル・ポート1を介して受信されたデータを、SCバス・コネクタ14を介してSCバス42に送出し、他の通信アダプタ10に接続されたネットワーク回線7から送信させる。

【0037】図5はDSPサブシステム12-0、12-1及び関連の回路のブロック図である。この図は、サブシステム12-1と同じである他の6個のDSPサブシステム12-2乃至12-7にも適用する。DSPサブシステム12-1は、例えば、MWAVE3780PモジュールであるDSPモジュール64-1、128K×24命令記憶装置66-1、及び128K×16データ記憶装置68-1を含む。DSPモジュール64-1は、その16ビットGPIOポート70-1及び外部8ビットアドレス・ラッチ・モジュール72-1によってスタティックRAMバッファ50-1を駆動する。DSPモジュール64-1において実行される制御コードは、RAMバッファ50-1における送信バッファ・エリアに書き込むこと、及びこのバッファ50-1における受信バッファから読み取ることしかできない。

【0038】各DSPモジュール64のGPIOポート70の16個のビットは入力されるだけのよう、或いは出力されるだけのよう、或いは両方向になるようにプログラムすることが可能である。単一のDSP命令が出力ビットの極性を変更することができ、或いは16ビットの現在の状態を読み取ることができ、或いは一組のビットをトライステートにすることができる。各DSP命令によって単一の機能しか遂行され得ないので、外部デバイスを制御するタイミング・シーケンスを遂行するには、一連の命令が必要である。通信アダプタ・カード

10(図4に示される)では、2ポートRAMバッファにおける単一のアドレスを読み取り及び書き込むために、9個のDSP命令が必要である。各DSPサブシステム12-1乃至12-7は、2つのデバイス、即ち、関連のRAMバッファ50及びフレーム・カウンタ(図示されていない)を制御するだけである。従って、これらの2つのデバイスのみに対するハードウェアがこれらのサブシステム12-1乃至12-7と関連して実施される。しかし、これらのサブシステムにおいて実行されるDSPコードは、複数の更なるデバイスを制御するDSPサブシステム12-0のDSPコードと同じである。各DSPサブシステム12は、サブシステムID値をDSOREメモリ・スペースから読み取ることによってどのデバイスを制御するかを決定する。

【0039】DSPサブシステム12-0もまた、DSPモジュール64-0、128K×24命令記憶装置66-0、及び128K×16データ記憶装置68-0を有する。DSPサブシステム12-0は関連のスタティックRAMバッファ50-0も有するが、その制御は、例えば、アドバンスト・マイクロ・デバイス社からのPAL(プログラム可能アレイ・ロジック)チップを使用して実施可能な外部制御ロジック74を介して処理される。その制御ロジック74はアドレス(ADR)及び制御(CTL)出力も供給する。それらの出力を通して、DSPサブシステム12-0がSCバス・スイッチ20及びネットワーク・インターフェース・フレーム22の読み取り／書き込み制御を確立する。DSPモジュール64-0は、その並列双方向GPIOポート75を、ネットワーク・インターフェース・フレーム22、SCバス・スイッチ20、2ポートチャネルRAM回路81、及び2ポート・データRAMバッファ50-0におけるレジスタを読み取るために及びそれらのレジスタに書き込むためにデータ・バス78及び制御バス80として使用する。ネットワーク・インターフェース・フレーム22におけるレジスタの読み取り又は書き込みは、ネットワーク・インターフェース・フレーム22のI/Oサイクルに対する必要なタイミングに適合するようにGPIOポート75を操作する一連のDSP命令を必要とする。GPIOポート75は、ネットワーク・インターフェース・フレーム22からの信号及びエラー・ステータスを監視するために割込機能もサポートする。

【0040】アドレス線82及び更なる制御線84が制御論理モジュール74からこれらの回路20、22、81、及び50-0にも延びている。アドレス線82及び制御線80、84は2ポート・データRAMバッファ50-1乃至50-7まで延ばされ、従って、そのDSPサブシステムはこれらのデバイスのオペレーションを制御することができる。読み取り／書き込みアクセスの競合を防ぐために、各DSPサブシステム12-0乃至12-7は制御ロジック74における共通フレーム・カウンタ

の値を監視することができる。各DSPサブシステム12は、その関連のRAMバッファ50の送信及び受信バッファが直列／並列インターフェース21によって使用される時、これらのバッファの両方におけるロケーションでの書き込みを回避するためにこの情報を使用する。

【0041】ネットワーク・インターフェース・ドライバ及びレシーバ24の制御は、DSPモジュール64-0のPBUSポート86を通して確立される。このポート86は、制御ロジック74におけるラッチをセットするために書き込みコマンドしか必要とされない場合、8ビット・スレープISAインターフェースとして作用する。PBUSポート86は自己クロッキングであり、PBUSポート86からの書き込みコマンドを受け付けるだけであるドライバ及びレシーバ・モジュール24に書き込みコマンドを発生するためには1つのDSP命令しか必要としない。イエロ／グリーンLED88はこの方法で制御され、コンピュータ1（図1に示された）の背後に見られる通信アダプタ・カード10の使用を表す正常な表示を行う。

【0042】2ポート・チャネルRAMモジュール81は、DSPサブシステム12-0のみによって制御される単一の1K×8デバイスである。このRAMモジュール81における64個のロケーションだけを使用して、直列／並列インターフェース21（図4に示される）によって使用される第1の32ロケーション・バッファ及びDSPサブシステム12-0によって使用される第2の32ロケーション・バッファが形成される。これらの2つのバッファは、ピンポン・ラッチにより制御されるアドレス・ビットによって分離される。ピンポン・ラッチの2つの出力の極性はいつも互いに反対であるので、両方のポート・アドレスは同時には同じ値を含まず、共通の内部アレイに対する両方のポートからの読取り／書き込み競合を防ぐ。DSPサブシステム12-0はピンポン・ラッチの状態を制御する。DSPサブシステム12-0が一方のバッファを使用しようとする時、直列／並列インターフェース21が他方のバッファを使用しようとする。ピンポン・ラッチの状態がフリップされる時、バッファは反転される。このオペレーションは、DSPサブシステム12-0が、この新しい又は更新されたバッファ情報を直列／並列インターフェース21に引き渡す前に、チャネル又はサブシステム・サイト情報をブロード又は修正することを可能にする。

【0043】MWAVE3780Pモジュールは、128K×24ビット命令記憶装置及び128K×16ビット・データ記憶装置をアクセスできる44MIPS-5.6DSPコアを含む。このモジュールは、DSP、UART、MI DI、サウンドブラスタ、サウンドブラスタDMAコントローラ、及び3個のPBUS並列デバイスに対するPCI機能を含む多機能デバイスである。本発明の例では、DSPデバイスだけがPCIイン

ターフェースに対して構成される。DSPモジュール64-0においてのみ、3個のPBUSデバイスがDSPコアによって使用され、PCIインターフェースによって使用されるのではない。各MWAVEモジュールから得られる3つの更なる直列／Oポートが存在するが、それらは、使用されない時、接続されないままである。これらの更なる周辺インターフェース及び未使用デバイスの機能すべてがディスエーブルされ、そして電力消費を最小にするために及び資源の競合を回避するために、周辺制御及び電力管理レジスタを通してパワー・ダウンされる。

【0044】各DSPモジュール64は、外部の33.8688Mhz発振器によって駆動される内部クロック発生器を使用する。この内部PLL（位相同期ループ）クロック発生器はプログラム可能であり、最小の17MIPSから最大の44MIPSまでの命令サイクル速度を可能にする。本発明の例では、DSPモジュール64-0乃至64-7のすべてが44MIPSで動作するようにセットされる。

【0045】図4を再び参照すると、コントローラ・プロセッサ53a及びDSPサブシステム12の両方も、接続されたPCIバス48、53を横切って相互に割込を行うことができる。そのシステムでは、オーバランを防ぐために、シングル・スレッド割込プロトコルが使用される。4つの割込信号がPCIバスにおける線によってサポートされる。DSPサブシステム12-0は割込Aに接続され、DSP12-1乃至12-7はすべて割込Bに接続される。割込C及びDは使用されず、接続もされない。DSPサブシステム12がコントローラ・プロセッサ53aに割込を行いたい場合、それは、それ自身のMSAアドレス'8000 0060'hに、PCI-PCIブリッジ52におけるHBRI DGE割込レジスタを書き込む。

【0046】HBRI DGE割込レジスタにおける16ビットは、通常は、16個までの異なるタイプのサービスを表すために使用されるけれども、本発明に従って動作するDSPサブシステム12は、リクエストされるべき割込を表すデータの制御ブロックをコントローラ・カード4のデータ・メモリ89における所定のエリアにDMA（ダイレクト・メモリ・アクセス）プロセスによって送る。そこで、DSPサブシステム12は、PCIバス48、53を介して割込を送るようには或るビットをセットする。コントローラ・プロセッサ53aがこの割込を受け取る時、その割込が割込A線を通して受信された場合、DSPサブシステム12-0がその割込をリクエストしたことを決定し、その割込が割込B線を通して受信された場合、DSP12-1乃至12-7の1つが割込をリクエストしたことを決定する。本発明の好適なバージョンによれば、制御カードのデータ・メモリ98に送られた情報の制御ブロックは、割込を受信した時にコ

ントローラ・プロセッサ53aによって読み取られ、サブシステム12-1乃至12-7のどれがその割込をリクエストしたかを他の事実から決定する。或いは、割込が割込B線を通して受信された場合、コントローラ・プロセッサ53aはDSPサブシステム12-1乃至12-7の各々からHBRI DGE割込レジスタを読み取り、バイナリ「1」のビットに関してチェックする。

【0047】DSPサブシステム12からの複数の割込リクエストが存在し得るけれども、コントローラ・プロセッサ53aは、どの割込が処理されようとしているかを追跡する。割込ルーチンの終了時に、コントローラ・プロセッサ53aは、アクティブな割込リクエストを有する特定のDSPサブシステム12におけるHBRI DGEレジスタに00001hのマスクを書き込む。この書き込みコマンドは割込リクエストをクリアする。或いは、DSPサブシステム12は、肯定応答を受信した後、そのHBRI DGEレジスタをクリアしてもよい。

【0048】コントローラ・プロセッサ53aはI/Oデコード・アドレス800006A21hに非同期割込レジスタを書き込むことによって特定のDSPサブシステム12に割込を行う。この16ビット・レジスタは、通信アダプタ10の割込プロトコルでもって働くように割り当てられた2つの特別ビット、即ち、ビット4及び5を有する。ビット4はコマンド情報ビットであり、特定のタイプの制御ブロックがコントローラ・プロセッサ53aによって保証されていることをDSPサブシステム12に知らせる。DSPサブシステム12は、この情報を使用して実際の制御ブロックをコントローラ4のメモリからフェッチし、そのデータを処理すべき方法を決定する。ビット5は、DSPサブシステム12からコントローラ・プロセッサ53aへの割込に対するハンドシェイク肯定応答であり、コントローラ・プロセッサ53aがDSPサブシステム12からの現在のリクエストのサービスを終了したことを表す。DSPサブシステム12からの割込はシングル・スレッド態様でサービスされるので、オーバーランは防止される。ビット5の割込はリクエスト／応答モードで動作し、一方、ビット4の割込はリクエスト・オンリー・モードで動作する。DSPサブシステム12がビット4又はビット5の割込に対するベクトルになる時、そのビットはオフに変わる。コントローラ・プロセッサ53aは再び割込を防護するためにこの状態をポーリングする。現在のコマンドすべてがクリアされることを保証するために、待機エリアがチェックされる。

【0049】本発明の望ましいバージョンによれば、DSPサブシステム12からコントローラ・プロセッサ53aへの割込ブロックのデータ形式をした複数の割込は、それらがコントローラ・プロセッサ53aに送られる前に収集或いはバンドルされ、このコントローラ・プ

ロセッサ53aにおける割込処理のための帯域幅を更に減少させる。

【0050】図6は、各DSPサブシステム12のデータ記憶装置68(図5に示される)において形成された割込ブロックのリンクされたリスト90の概略図である。このリストは第1ポインタ92及び第2ポインタ94によってアクセスされる。その第1ポインタは、特定のDSPサブシステムからコントローラ・ポインタ53a(図4に示される)に送られた最後の割込を指し、第2ポインタは新たな割込を書き込み得るロケーションを指す。第2ポインタ94が指すロケーションにおける現在の割込ブロックは既にコントローラ・プロセッサ53aに伝送されている。従って、いつでも、コントローラ・プロセッサ53aに送られるべき残りの割込ブロックは、第1ポインタ92と第2ポインタ94との間にあるそのリストにおける割込ブロックである。ポインタ92、94は、最後の割込ブロック「N」から第1の割込ブロック1に戻る循環態様でそのリストを通して移動する。

【0051】オペレーションの第1バージョンでは、割込ブロックがコントローラ・プロセッサ53aに送られた後、先行の割込の肯定応答が戻されるまで割込ブロックはそれ以上送られない。先行の割込のロケーションを表す第1ポインタはそのロケーションに保持される。この先行の割込が肯定応答されてしまうまで、割込リクエストは、それらが要求される時、第2ポインタのロケーションに書き込まれる。それは、新しい各ブロックが書き込まれた後、下方へ移動させられる。この先行の割込が肯定応答される時、第1ポインタと第2ポインタとの間の割込ブロック(それらが存在する場合)は、DSPサブシステム12により、DMA機能を使用して、コントローラ4のデータ・メモリに書き込まれる。各割込ブロックが書き込みのためにアクセスされた後、第1ポインタは第2ポインタに到達するまで下方へ動かされる。

【0052】オペレーションの第2バージョンでは、DSPサブシステム12は、最後の割込ブロックがコントローラ・プロセッサ53aに送られた以後にリスト90に書き込まれた割込ブロックの数を探知する。このリストが所定の限界に達する時、それらの割込ブロックはDMAによってコントローラ・カードのメモリに書き込まれる。

【0053】オペレーションの第3バージョンでは、DSPサブシステム12は、先行の割込ブロックの送信に続く経過時間又は第1の未送信割込がリスト90に書き込まれた後の時間を探知する。この時間が所定のレベルに達する時、第1ポインタと第2ポインタとの間の割込ブロック(それらが存在する場合)がDSPサブシステム12によってプロセッサ4のデータ・メモリに書き込まれる。

【0054】これらの方法を組み合わせて使用すること

10

30

40

50

も可能である。例えば、割込ブロックは、所定の制限を越えた十分な数のそのようなブロックがポインタ9 2、9 4の間に累積された場合だけ、肯定応答の受信時にプロセッサ5 3 aに送られてもよい。この方法では、プロセッサ5 3 aが割込される頻度は、肯定応答が速く戻されるので不必要に増加することはない。又、先行の割込の肯定応答時、或いは先行の割込の送信に続く時間が所定の最大時間を越えた時、割込ブロックはプロセッサ5 3 aに送られ、割込待ち時間を制御する。

【0 0 5 5】これらの如何なるバージョン又はそれらの組合せによっても、パワー・オン又はプロセスを開始する他のセッションはプロセスを開始させるための単一の割込の伝送を含むことが可能である。1つ又は複数の割込ブロックがDMAによって送られた後、プロセッサ5 3 aがそのデータ・メモリ8 9における適切なロケーションをチェックしなければならないことを表す割込がPCIバス4 8、5 3(図4に示された)の割込線を通して送られる。

【0 0 5 6】本発明を、その好適な形式又は実施例において或る程度詳しく説明したけれども、部品の組合せ及び配列を含む構成、製造、及び用法の細部における数多くの変更を、本発明の精神及び技術範囲を逸脱することなく行い得ることは勿論である。

【0 0 5 7】まとめとして、本発明の構成に関して以下の事項を開示する。

【0 0 5 8】(1) 第1データ・メモリをアクセスするデジタル信号プロセッサ・サブシステムから第2データ・メモリをアクセスするホスト・プロセッサに割込情報を転送するための方法にして、前記デジタル信号プロセッサ・サブシステムは割込線及び複数のデータ線によって前記ホスト・プロセッサに接続されていることを含む方法において、(a) 前記データ線を通して前記デジタル信号プロセッサ・サブシステムから前記第2データ・メモリにおける所定のエリアに前記割込情報を制御ブロックとして転送するステップと、(b) 前記デジタル信号プロセッサ・サブシステムから前記割込線を通して前記ホスト・プロセッサに割込を送るステップと、(c) 前記割込の受信時に、前記ホスト・プロセッサによって前記第2データ・メモリにおける前記所定のエリアから情報を読み取るステップと、を含む方法。

(2) 前記デジタル信号プロセッサ・サブシステムはダイレクト・メモリ・アクセスによって前記割込情報を前記第2データ・メモリに送ることを特徴とする上記(1)に記載の方法。

(3) 前記ステップ(a)は複数の割込ブロックを累積するステップによって先行され、前記制御ブロックが前記複数の割込ブロックを含む場合、前記複数の割込ブロックにおける各割込ブロックが個々の割込リクエストを表すことを含む上記(1)に記載の方法。

(4) 前記制御ブロックは前記デジタル信号プロセ

ッサ・サブシステムから前記第2データ・メモリへ以前に送信された割込情報の制御ブロックに対する前記ホスト・プロセッサからの肯定応答の受信時に伝送されることを特徴とする上記(3)に記載の方法。

(5) 前記制御ブロックは、以前に送信された割込情報の制御ブロックを前記デジタル信号プロセッサ・サブシステムから前記第2データ・メモリに送信した後に所定最大数の割込ブロックを累積した時、更に送信されることを特徴とする上記(4)に記載の方法。

(6) 前記制御ブロックは、以前に送信された割込情報の制御ブロックを前記デジタル信号プロセッサ・サブシステムから前記第2データ・メモリに送信した後の経過時間が所定の値に達した時、更に送信されることを特徴とする上記(4)に記載の方法。

(7) 前記制御ブロックは、以前に送信された割込情報の制御ブロックを前記デジタル信号プロセッサ・サブシステムから前記第2データ・メモリに送信した後に生じた第1割込リクエストに続く経過時間が所定のレベルに達した時、更に送信されることを特徴とする上記(4)に記載の方法。

(8) 前記制御ブロックは、以前に送信された割込情報の制御ブロックを前記デジタル信号プロセッサ・サブシステムから前記第2データ・メモリに送信した後に所定最大数の割込ブロックを累積した時、更に送信されることを特徴とする上記(3)に記載の方法。

(9) 前記制御ブロックは、以前に送信された割込情報の制御ブロックを前記デジタル信号プロセッサ・サブシステムから前記第2データ・メモリに送信した後の経過時間が所定の値に達した時、更に送信されることを特徴とする上記(3)に記載の方法。

(10) 前記制御ブロックは、以前に送信された割込情報の制御ブロックを前記デジタル信号プロセッサ・サブシステムから前記第2データ・メモリに送信した後に生じた第1割込リクエストに続く経過時間が所定のレベルに達した時、更に送信されることを特徴とする上記(3)に記載の方法。

(11) 電話ネットワーク回線に接続するためのネットワーク・インターフェース手段と、複数の信号を結合して前記電話ネットワーク回線を通して送信するための時分割マルチプレキシング手段と、前記電話ネットワーク回線から受信した複数の信号を分離する時分割デマルチプレキシング手段と、前記時分割マルチプレキシング手段及び前記時分割デマルチプレキシング手段に接続された複数のデジタル信号プロセッサと、前記複数のデジタル信号プロセッサ及び前記時分割デマルチプレキシング手段からのデータを送信し、前記時分割マルチプレキシング手段及び前記複数のデジタル信号プロセッサに送るためのデータを受信するためのバス・インターフェースと、を含む装置。

(12) ホスト・プロセッサと、前記ホスト・プロセ

10

20

30

40

50

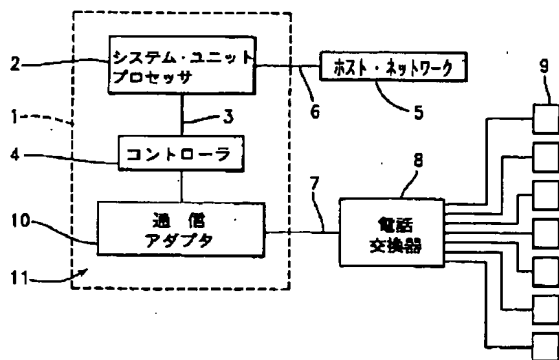
サによってアクセス可能なホスト・データ・メモリと、複数のデジタル信号プロセッサのうちの1つのデジタル信号プロセッサと前記ホスト・プロセッサとの間に延びるデータ・バスと、前記デジタル信号プロセッサと前記ホスト・プロセッサとの間に延びる割込線と、を更に含み、前記デジタル信号プロセッサは前記データ・バスを通して前記ホスト・データ・メモリに割込情報を含む割込制御ブロックを送ること及び前記割込線を通して割込を送ることによって前記ホスト・プロセッサに割込を行うことを特徴とする上記(11)に記載の装置。

(13) 前記割込制御ブロックは各々が割込リクエストを記述した複数の割込ブロックを含むことを特徴とする上記(12)に記載の装置。

(14) 各々が電話ネットワーク回線に接続するためのネットワーク・インターフェース手段と、複数の信号を結合して前記電話ネットワーク回線を通して送信するための時分割マルチプレキシング手段と、前記電話ネットワーク回線から受信した複数の信号を分離する時分割デマルチプレキシング手段と、前記時分割マルチプレキシング手段及び前記時分割デマルチプレキシング手段に接続された複数のデジタル信号プロセッサとを含む第1及び第2通信アダプタ、及び前記第1及び第2通信アダプタの間に延び、前記第1通信アダプタの前記複数のデジタル信号プロセッサを前記第2通信アダプタの前記時分割マルチプレキシング手段及び時分割デマルチプレキシング手段に接続し、前記第2通信アダプタの前記複数のデジタル信号プロセッサを前記第1通信アダプタの前記時分割マルチプレキシング手段及び時分割デマルチプレキシング手段に接続する第1バスを含む装置。

(15) 前記第1バスは前記第1及び第2通信アダプタを他の通信アダプタに接続するように更に延長されるこ

【 図1 】



とを特徴とする上記(14)に記載の装置。

(16) 前記第1通信アダプタに接続されたホスト・プロセッサと、前記ホスト・プロセッサによってアクセス可能なホスト・データ・メモリと、前記第1通信アダプタの複数のデジタル信号プロセッサのうちの1つのデジタル信号プロセッサと前記ホスト・プロセッサとの間に延びるデータ・バスと、前記デジタル信号プロセッサと前記ホスト・プロセッサとの間に延びる割込線と、を更に含み、前記デジタル信号プロセッサは前記データ・バスを通して前記ホスト・データ・メモリに割込情報を含む割込制御ブロックを送ること及び前記割込線を通して割込を送ることによって前記ホスト・プロセッサに割込を行うことを特徴とする上記(14)に記載の装置。

(17) 前記割込制御ブロックは各々が割込リクエストを記述した複数の割込ブロックを含むことを特徴とする上記(16)に記載の装置。

【 図面の簡単な説明】

【 図1 】 本発明に従って形成された通信アダプタを使用するI S D Nサーバ・アプリケーションの概略図である。

【 図2 】 図1の通信アダプタ・カードの概略図である。

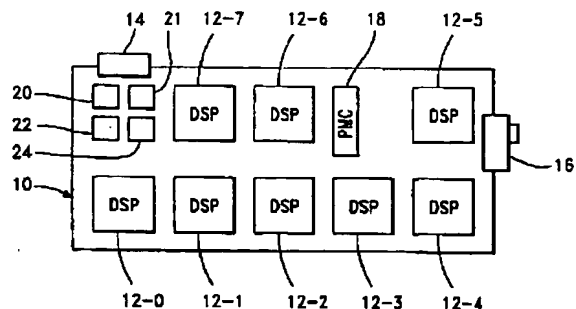
【 図3 】 図2の通信アダプタ・カードを4個含む通信構成の概略図である。

【 図4 】 図2の通信アダプタ・カードの、特に、データ・フローの経路を示す機能的ブロック図である。

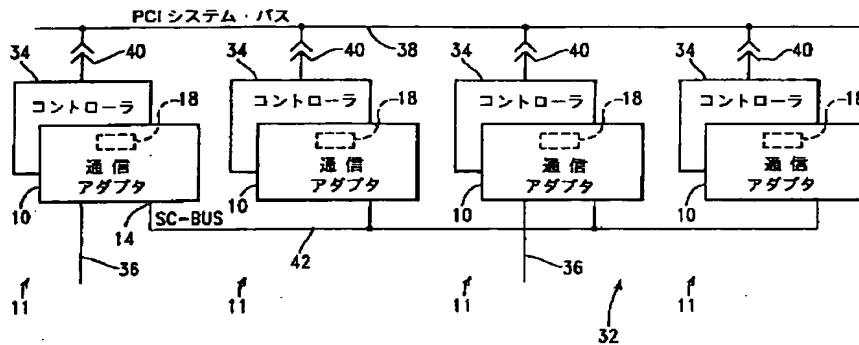
【 図5 】 図2の通信アダプタ・カードにおける2つのD S Pサブシステムを関連の回路と共に示すブロック図である。

【 図6 】 図2の通信アダプタ・カードにおけるD S Pサブシステムのデータ記憶装置内に形成された割込ブロックのリンクされたリストの概略図である。

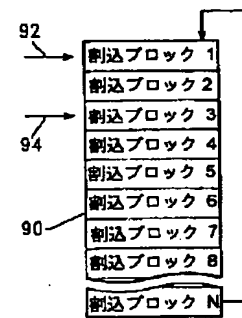
【 図2 】



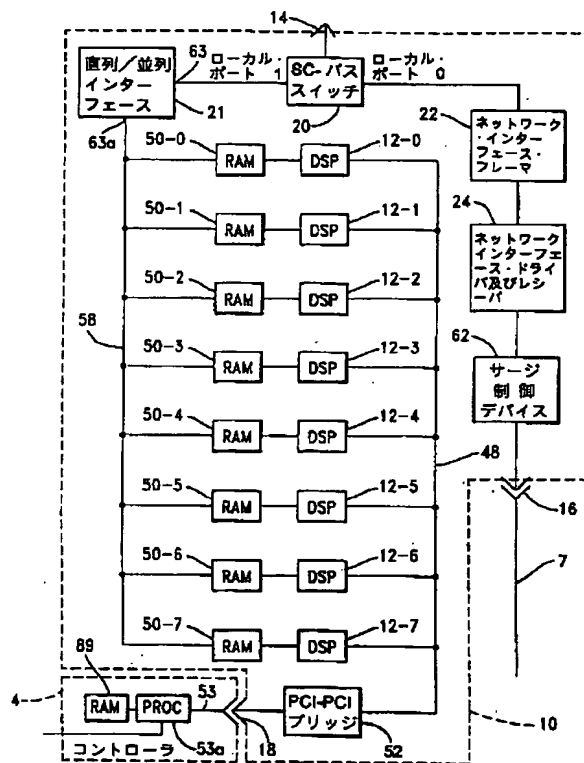
【 図3 】



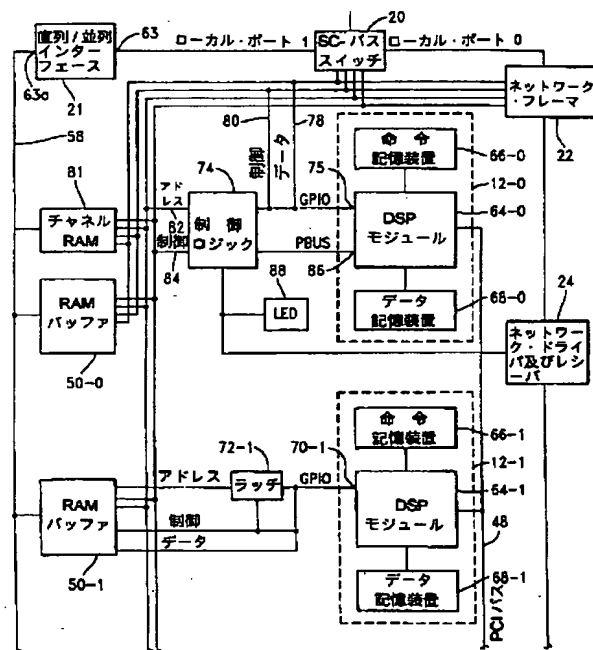
【 図6 】



【 図4 】



【 図5 】



フロントページの続き

(72)発明者 リチャード・クライド・ベックマン
アメリカ合衆国33431、フロリダ州ボカ・
ラトン、サード・アベニュー、エヌ・ダブ
リュ 4901

(72)発明者 ロバート・チーツィン・エング
アメリカ合衆国33498、フロリダ州ボカ・
ラトン、ワンハンドレッドフィフス・アベ
ニュー・エス 18084

(72)発明者 ジュディス・マリー・リンガー
アメリカ合衆国33445、フロリダ州デレ
イ・ビーチ、トウェンティセカンド・アベ
ニュー、エス・ダブリュ 2895・ナンバー
107

(72)発明者 ジョゼフ・シー・ペティ、ジュニア
アメリカ合衆国33431、フロリダ州ボカ・
ラトン、リッチモンド・サークル 9604

(72)発明者 ジョン・クラウド・シニバルディ
アメリカ合衆国33062、フロリダ州ポンパ
ノ・ビーチ、ナインティーンズ・ストリー
ト、エヌ・イー 2850

(72)発明者 ガリー・エル・ターベヴィツレ
アメリカ合衆国33431、フロリダ州ボカ・
ラトン、フォース・アベニュー、エヌ・ダ
ブリュ 4999

(72)発明者 ケヴィン・ブラッドリー・ウィリアムズ
アメリカ合衆国33317、フロリダ州プラン
テーション、オーキッド・ドライブ 861